

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-130406

(43) 公開日 平成9年(1997)5月16日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 L 12/28		9466-5K	H 0 4 L 11/20	E
G 0 6 F 13/00			G 0 6 F 13/00	
H 0 4 Q 3/00			H 0 4 Q 3/00	

審査請求 未請求 請求項の数 3 F D (全 14 頁)

(21) 出願番号 特願平8-248517

(22) 出願日 平成8年(1996)9月2日

(31) 優先権主張番号 08/522432

(32) 優先日 1995年8月31日

(33) 優先権主張国 米国 (US)

(71) 出願人 591064003

サン・マイクロシステムズ・インコーポレーテッド

SUN MICROSYSTEMS, INCORPORATED

アメリカ合衆国 94043 カリフォルニア州・マウンテンビュー・ガルシア アヴェニュー・2550

(72) 発明者 セーレン・エス・クリステンセン

アメリカ合衆国 95051 カリフォルニア州・サンタ クララ・メンプリロ コート・3110

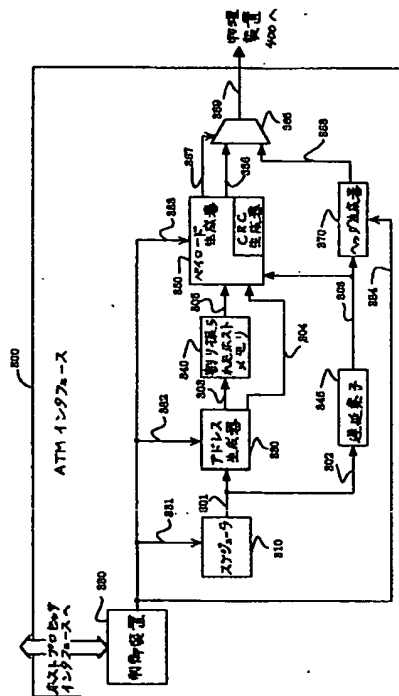
(74) 代理人 弁理士 山川 政樹

(54) 【発明の名称】 ATMインタフェース、そのインタフェースを備えるコンピュータシステム及びそのインタフェースでATMセルを生成する方法

(57) 【要約】

【課題】 ネットワーク、ワークステーションの変更に対応できる非同期転送モード (「ATM」) インタフェースを提供する。

【解決手段】 アドレス指定素子を使用して、1つまたは複数の記憶アドレスを記憶素子に送信することによってATMセルの生成を開始する。アドレス指定素子にアクセス可能な記憶素子を使用して、記憶アドレスに対応する少なくとも1つのデータグラムを記憶し、後で少なくとも1つのデータグラムをセル生成素子に出力する。セル生成素子は、少なくとも1つのデータグラムを受信しATMセルを生成するために、記憶素子に結合される。最後に、アドレス指定素子とセル生成素子とに制御素子が結合され、その動作を制御する。



BEST AVAILABLE COPY

1

## 【特許請求の範囲】

【請求項1】 ATMセルを生成するスケーラブル非同期転送モード（「ATM」）インタフェースであって、少なくとも1つの記憶アドレスを記憶素子に送信することによってATMセルの生成を開始するアドレス指定素子と、

前記少なくとも1つの記憶アドレスに対応する少なくとも1つのデータグラムを記憶し、後で前記少なくとも1つのデータグラムをセル生成素子に出力する、前記アドレス指定素子によってアクセス可能な記憶素子と、

前記メモリ素子に結合され、前記少なくとも1つのデータグラムを受信し、ヘッダと、少なくとも1つのデータグラムを含むペイロードとを含む前記ATMセルを生成するセル生成素子と、

前記アドレス指定素子と前記セル生成素子とに結合され、前記アドレス指定素子と前記セル生成素子の動作を制御する制御素子とを備えるATMインタフェース。

【請求項2】 第1のデータ・タイプのデータを処理するホスト・プロセッサと前記データを記憶するホスト・メモリと、

前記ホスト・プロセッサと前記ホスト・メモリとに結合され、前記ホスト・プロセッサと前記ホスト・メモリの間で前記データを転送するシステム・バスと、

前記システム・バスと前記ネットワークとに結合され、前記ネットワークとの間でATMセルの送信と受信を行うことができるようにするネットワーク・モジュールとを備え、

前記ネットワーク・モジュールは、システム・バスに結合された、少なくともデータの一部を含むATMセルを生成するスケーラブル非同期転送モード（「ATM」）インタフェースを含み、

前記ATMインタフェースは、少なくとも1つの記憶アドレスを記憶素子に送信することによってATMセルの生成を開始するアドレス指定素子と、

前記少なくとも1つの記憶アドレスに対応する少なくとも1つのデータグラムを記憶し、後で前記少なくとも1つのデータグラムをセル生成素子に出力する、前記アドレス指定素子によってアクセス可能な記憶素子と、

前記メモリ素子に結合され、前記少なくとも1つのデータグラムを受信し、ヘッダと、少なくとも1つのデータグラムを含むペイロードとを含む前記ATMセルを生成するセル生成素子と、

前記アドレス指定素子と前記セル生成素子とに結合され、前記アドレス指定素子と前記セル生成素子の動作を制御する制御素子とを含み、

前記ネットワーク・モジュールは、前記ATMインタフェースと前記ネットワークとに結合され、ATMセルをビット・ストリームに変換し、前記ビット・ストリームをネットワークが使用する形式にフ

(2)

特開平9-130406

2

ォーマットする物理装置を含むネットワークに結合されたコンピュータ・システム。

【請求項3】 ヘッダとペイロードとを含むATMセルを生成するスケーラブル非同期転送モード（「ATM」）インタフェースでATMセルを生成する方法であって、

スケジューラから送信されたチャネル番号に基づいて記憶アドレスと複数の制御信号とを生成するステップと、記憶アドレスによってアドレス可能な記憶場所に記憶されたデータグラムを取り出すステップと、

データグラムと複数の制御信号とチャネル番号とに基づいてATMセルのペイロードを生成するステップと、チャネル番号に基づいてATMセルのヘッダを生成し、ペイロードをヘッダに追加してATMセルを形成するステップとを含む方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は通信システムに関する。具体的には、本発明は、様々なタイプのワークステーションまたはネットワークあるいはその両方に対応するように容易に変更可能な非同期転送モード分割および組立てインタフェース（ATMインタフェース）に係わる。

## 【0002】

【従来の技術】最近20年間、コンピュータ製造会社は一般に、分散共用ネットワーク（たとえばローカル・エリア・ネットワーク）に対応する資源を製造している。これらの分散ネットワークによって、一般には1つのデータ・タイプに限られた形式の情報を複数の資源間で共用することができる。しかし、マルチメディア通信の登場に伴い、現在ではネットワークは複数のデータ・タイプをサポートする必要がある。その結果、ネットワーク製造業者は非同期転送モード（ATM）ネットワーク・システムに力を注ぐ傾向がある。

【0003】図1および図2を参照すると、従来のATMネットワーク・システム100は、従来のATMインタフェース115および物理装置120を介してネットワーク110（たとえば光ファイバ、ツイスト・ペア、またはその他の従来の媒体）に結合されたワークステーション105を含む。従来のATMインタフェース115および物理装置120は、周知の標準ATM「Utopia」インタフェース130（すなわちユニバーサル・テスト・オペレーション・インタフェース・フォアATM）に従って構成された複数の単方向通信回線125を介して相互に接続される。これによって、ATMインタフェース115と物理装置120との間の互換性が保証される。

【0004】従来のATMインタフェース115および物理装置120の1つの重要な機能は、情報の「データグラム」をネットワーク105がサポートする第1のデ

ータ・タイプから、後で他のデータ・タイプに転送することができる標準形式（たとえばATMセル）に正確に変換することである。本出願全体を通じて、「データグラム」とは一連の複数の情報ビットであると一般に定義する。

【0005】一般には、図2に示すようにワークステーション105は内部的にデータを、「サービス・データ単位（SDU）」190と一般に呼ばれる任意の長さのデータを有するデータグラムとして処理する。その後で、SDUをネットワーク110に結合された遠隔地にある装置に送信するために、ワークステーション105がSDU190に対して操作を行ってそこからプロトコル・データ単位（PDU）191を生成する。PDU191は可変ビット長であり、少なくともSDU190と、PDU191を完全に「埋める」ために使用するパディング192と、制御情報193と、送信中にエラーが発生していないことを検査するために使用する巡回冗長チェックワード104などの情報のバイトとが含まれるようになっており、それぞれ一般に「PAD」情報、「CNTL」情報、および「CRC」情報と呼ばれる。

【0006】従来のATMインタフェース115は、PDU191のサイズに応じてPDU191を少なくとも1つのATMセル195に変換する。PDU191が最大40バイトのデータを有する場合、従来のATMインタフェース115は1個のATMセルを生成する。それ以外の場合、従来のATMインタフェース115は、一連のATMセルを生成し、その一連のATMセルの最後のセルのみがCNTL情報193とCRC194を含み、多くても最後の2つのATMセルがPAD情報192を含む。

【0007】図2を参照すると、各ATMセル195は、その対応するATMセル195の指定された「宛先」場所を示す4バイトのヘッダ196と、ヘッダ送信中のエラーを監視するために使用する1つのエラー・バイト197を含む。エラー・バイト197は、物理装置120（後述）の物理層によって供給される。さらに、各ATMセル195は、前述のように最後の数個のATMセルまでPDU191のデータのみが含まれた48バイトの「ペイロード」198を含む。

【0008】図1に戻って参照すると、物理装置120は、物理層135と物理媒体依存部（PMD）140とから成り、集散的に送信器と受信器の両方として機能してネットワーク110とワークステーション105との間で情報を伝搬する。送信操作に関しては、従来のATMインタフェース115がATMセルを物理層135に順次に送信する。物理層135はそれらのATMセルをPMD140に入力されるビット・ストリームに変換する。PMD140は、ネットワーク110が使用する特定のデータ・タイプに応じてビット・ストリームをフォーマットする。受信操作の場合は、物理装置120はこ

の逆の動作を行う。

【0009】具体的には、従来のATMインタフェース115は受信信号経路146と送信信号経路147を備え、その両方とも、記憶キュー（たとえば先入れ先出し「FIFO」キュー）と組合わさって機能する1対の状態機械を直列に備える。受信信号経路146の場合、受信器（RX）状態機械150が物理層135からATMセルを受信する。次にRX状態機械150は、(i) ATMセルのヘッダ部を除去し、(ii) ATMセルのペイロードに対してCRC計算を行い、送信エラーがない場合は、(iii) ペイロードを第1の記憶キュー（たとえば先入れ先出しキュー）155に転送する。適切な制御信号を受け取ると、第1の記憶キュー155はそのペイロードをシステム・バス・インタフェース170を介してシステム・バス165上に転送し、記憶素子145に適切に記憶される。この転送は第1のインタフェース状態機械160によって制御される。

【0010】さらに、送信信号経路147の場合、記憶素子145が情報を、システム・バス・インタフェース170を介して転送するようにアドレス指定してシステム・バス165上に置き、第2の記憶キュー180に入れる。第2のインタフェース状態機械175の制御により、第2の記憶キュー180がその情報を送信器（TX）状態機械185に出力し、Utopiaインタフェース130を介して物理装置120に転送する。

【0011】

【発明が解決しようとする課題】この実施態様のATMインタフェースにはいくつかの欠点がある。1つの欠点は、従来のATMインタフェースはワークステーションまたは選択されたネットワークあるいはその両方の、異なる機能に合わせて容易に変更可能（すなわちスケラブル）ではないことである。たとえば、ネットワークの動作速度が毎秒616メガビット（Mbps）から毎秒1.2ギガビット（Gbps）に向上する場合、向上したスループットに対応するように従来のATMインタフェースのアーキテクチャ全体を完全に設計し直すことが恐らく必要になる。

【0012】もう1つの理由は、従来のATMインタフェースが「再使用可能」ではないこと、すなわち、アーキテクチャが多様なワークステーション構成およびネットワーク構成をサポートしないことである。

【0013】他の欠点は、従来のATMインタフェースはスケジューリング技法を使用せずに、ワークステーションのシステム・バスの所有権をめぐる調停を行うことである。これによって、送信素子と受信素子の間で調停問題が起こることがある。したがって、上記の欠点を克服するATMインタフェースを提供することが望ましいであろう。

【0014】

【課題を解決するための手段】本発明は、少なくとも1

つのATMセルを生成するために使用するスケラブルな非同期転送モード(ATM)インタフェースに関する。このATMインタフェースは、アドレス指定素子と、記憶素子と、セル生成素子とを備える。アドレス指定素子を使用して、少なくとも1つの記憶アドレスを記憶素子に送信することによってATMセルの生成を開始する。アドレス指定素子はスケジューラとアドレス生成器とを備えることができるものと企図される。

【0015】記憶素子にはアドレス指定素子がアクセスすることができ、記憶アドレスに対応する少なくとも1つのデータグラムを記憶するために使用され、後で少なくとも1つのデータグラムをセル生成素子に出力する。さらに、セル生成素子は、少なくとも1つのデータグラムを受信し、ヘッダと、少なくとも1つのデータグラムを含むペイロードとを含むATMセルを生成するために記憶素子に結合される。セル生成素子はペイロードを生成するペイロード生成器とヘッダを生成するヘッダ生成器を備えるものと企図される。

【0016】最後に、アドレス素子と記憶素子とセル生成素子とが組み合わさってATMセルを正しく生成するように、アドレス素子とセル生成素子を制御するために、アドレス素子とセル生成素子に制御素子が結合される。

【0017】本発明の特徴と利点は、以下の本発明の詳細な説明から明らかになるう。

【0018】

【発明の実施の形態】以下の詳細な説明で、本明細書ではATM通信ネットワークをスケラブルかつ再使用可能にすることができるATM分割および組立てインタフェースを開示する。本出願には、スケジューラ、アドレス生成器、ペイロード生成器などの特定の構成など多くの特定の詳細が記載されている。しかし、当業者には、これらの特定の詳細を組み込まなくても本発明を実施することができることは明らかであろう。さらに、本発明が不必要にわかりにくくならないようにするため、周知の回路などについては詳細に記載していない場合があることに留意されたい。

【0019】詳細な説明では、特定の制御回路および信号表現について説明するためにいくつかの用語を頻繁に使用するが、それらの用語について本明細書で定義する。「状態機械」とは、典型的には同期的性質を持ち、少なくとも1つの出力を「インテリジェントに」生成するために、入力を受け取ってそれをその自蔵状態情報と組み合わせる従来の論理回路の組合せである。「セレクト」とは、複数の入力のうちの1つを選択的に出力するように構成された1つまたは複数の従来の多重化論理ゲートである。「事象」とは、特定の時点に発生するように予め定められた動作である。「線」とは、2つの電子素子間の電気的および機械的な接続または複式独立接続である。

【0020】図3を参照すると、本発明を使用するワークステーション200の実施形態が図示されている。ワークステーション200は一般に、複数のバス・エージェント210間で情報を伝達するためのアドレス線、データ線、および制御線を含むシステム・バス205を備える。複数のバス・エージェント210は、ホスト・プロセッサ215と、ホスト・メモリ220と、複数の入出力(I/O)装置225と、ネットワーク・モジュール230とを含むがこれらには限定されない。それらはすべてシステム・バス205を介して相互に結合されている。これらのバス・エージェント215~230は、米国カリフォルニア州マウンテンビューのサン・マイクロシステムズ社製のものを含むほとんどの汎用ワークステーションに見られるものである。

【0021】本出願に最も関連があるのは、ATM分割および組立てインタフェース(ATMインタフェース)300と物理装置400を含むネットワーク・モジュール230である。ATMインタフェース300と物理装置400を組み合わせ使用して、ワークステーション200が、光ファイバ、ツイスト・ペアなどの媒体を有するネットワーク250との間で情報を送受信することができる。ATMインタフェース300は物理装置400との間のデータの送受信をサポートするが、わかりやすいように、データ伝送路に関する動作についての説明する。

【0022】次に図4を参照すると、ATMインタフェース300は、スケジューラ310と、アドレス生成器330と、ホスト・メモリのうちの割り振られた部分(「割り振りホスト・メモリ」)340と、ペイロード生成器350と、ヘッダ生成器370と、制御装置380とを備える。制御装置380は、制御線381~384を介してスケジューラ310とアドレス生成器330とペイロード生成器350とヘッダ生成器370とにそれぞれ結合されている。制御装置380は、システム・ソフトウェアを実行するホスト・プロセッサ(図示せず)から制御情報を受け取り、その制御情報をこれらの制御線381~384を介して伝搬して、スケジューラ310、アドレス生成器330、ペイロード生成器350、およびヘッダ生成器370内のテーブル、レジスタ、およびローカル・メモリを維持する。

【0023】スケジューラ310は、通信線301および302を介してアドレス生成器330および遅延素子345に結合されている。これらの通信線301および302の構造は、データ・バス線の本数によって異なり、アドレス生成器330と遅延素子345の両方にデータ(サイズは1バイトであることが好ましい)を送信する。このデータは、0から255までの値のテーブル索引として機能するチャネル番号として使用される。チャネル番号は、そのチャネル番号に割り振られているデータ・ビット数に応じた任意の範囲の値を有することが

できるものと企図される。

【0024】アドレス生成器330はスケジューラ310からチャンネル番号を受信し、そのチャンネル番号をアドレスに変換する。アドレスは、割り振られたホスト・メモリ340を形成する限定されたアドレス空間内の事前選定された量のメモリ（すなわち項目）の一義的地址であることが好ましい。アドレス生成器330は、割り振られたホスト・メモリ340に通信線303を介して結合されており、適切な「READ」制御信号の付いたアドレスを割り振られたホスト・メモリ340に送信する。さらに、アドレス生成器330は、必要に応じて1個または一連のATMセルを組み立てる際に使用するために、制御線304を介してペイロード生成器350に転送されるいくつかの制御信号を内部的に生成する。便宜上、以下の説明では、ATMセルが1個のみ必要な状況に焦点を合わせる。

【0025】アドレス生成器330からアドレスを受信すると、割り振られたホスト・メモリ340はそのアドレスに対応するデータグラムを検索し、そのダイアグラムを通信線305を介してペイロード生成器350に送信する。このダイアグラムを格納する方式は、アドレス生成器330がその読取りアドレスを更新する方法に対応する。ペイロード生成器350内へのダイアグラムの送信と同期して、遅延素子345もペイロード生成器350にチャンネル番号を入力する。これは、アドレス生成器330からの情報が割り振られたホスト・メモリ340からの検索データとして現れる伝搬時間にほぼ対応するように、遅延素子345に関連する遅延を構成することによって実現することができる。

【0026】その後で、ペイロード生成器350は、割り振られたホスト・メモリ340からのデータグラムをCNTL情報およびCRC、必要であればデータグラムに追加されたPAD情報を備えたATMセルにフォーマットする。それによりATMセルのペイロードを形成する。次に、ペイロード生成器350はそのペイロードをペイロード通信線366を介して主セクタ素子365に出力する。

【0027】ATMセルのヘッダはヘッダ生成器370に格納される。ヘッダ生成器370は、システム・ソフトウェアによって維持されるローカル・メモリである。このローカル・メモリは、「テーブル」形式に従っていくつかの項目に分けられており、通信線306を介して送信されるチャンネル番号によって項目のうちの1つが選択される。ヘッダ生成器370はそれに応答して、選択された項目に格納されているヘッダを通信線368を介して出力し、主セクタ素子365に送る。セクタ素子365は、制御線367を介したペイロード生成器350により制御されてヘッダとペイロードを結合し、ATMセルを生成する。

【0028】図5を参照する。対応する1つまたは一連

のATMセルの生成を開始する1つのまたは一連の事象を生成するために、スケジューラ310が使用される。スケジューラ310は少なくとも1つのスケジューラ素子を含むが、ATMセルの生成を迅速化するために、図のように、それぞれが1つまたは一連の事象を生成することができる複数のスケジューラ素子311a～311m（「m」は任意の数）を含むことが好ましい。スケジューラ素子311a～311mのそれぞれは、選択されたアルゴリズムと優先順位方式のプロトコルに従ってトラヒックを制御するように構成された非同期論理ゲートの集まりである。たとえば、スケジューラ素子は、固定ビット・レート・スケジューラ素子（「CBRスケジューラ」）、可変ビット・レート・スケジューラ素子（「VBRスケジューラ」）または他の任意の周知のスケジューラを含むことができる。スケジューラ310はスケラブルであり、したがってATMネットワーク・システムに必要な任意の数のスケジューラ素子を実装し、構成することができる。

【0029】スケジューラ素子311a～311mは、スケジューラ素子311a～311mのうちで最高の優先順位を有する1つのスケジューラからチャンネル番号を出力する優先順位方式のスケジューリング機構313（たとえばラウンドロビン・スケジューリング機構）に、伝送線312a～312mを介してそれぞれに対応して結合されている。各スケジューラ素子311a～311mに付随する優先順位は、ソフトウェアを使用して動的に変更可能である。

【0030】例示のために、スケジューラ素子311aを第1の優先順位「P1」（最高）を有するCBRスケジューラとし、スケジューラ素子311bを第2の優先順位「P2」を有するVBRスケジューラとし、「P2」には「P1」より低い優先順位が割り当てられているものとする。したがって、CBRスケジューラ311aが動作中の場合は常にそのチャンネル番号が優先順位方式スケジューリング機構313から出力される。CBRスケジューラ311aが動作中でない場合、優先順位方式スケジューリング機構313は、VBRスケジューラ311bが動作中であるか否かを調べ、動作中の場合はVBRスケジューラ311bから生成されたチャンネル番号を出力する。同じプロセスが、異なる優先順位を有するすべてのスケジューラ素子311a～311mについて行われる。

【0031】図6Aに示すように、CBRスケジューラ311aは、たとえば「チャンネル1」～「チャンネル5」として識別されている複数のチャンネル番号を、図のように、固有アドレス項目315～319に格納するメモリ参照テーブルであることが好ましい。優先順位方式スケジューリング機構313にどのチャンネル番号を出力するかは、ホスト・プロセッサが制御線381を介してアドレス項目の1つを選択することによって制御する。別法

として、CBRスケジューラ311aが、チャネル番号を格納する複数のレジスタを含む環状バッファを備えることもできる。

【0032】図6Bに示すように、VBRスケジューラ311bはタイマ・モジュール（たとえばカウンタ）320とトークン記憶モジュール325を含み、それらが組み合わさって機能して、通信線301を介して伝搬するATMセル・トラヒックを制御する。本明細書では、「トークン」とは、ATMセルが送信を要求していることを示すためにVBRスケジューラ311bが使用する、抽象的な測定値を表す。

【0033】トークン・モジュール320は、ATM通信ネットワークを通るATMセルの所望の伝送速度（すなわち「ドリップ・レート」）を表す一連のトークンを生成するようにプログラム可能である。ドリップ・レートは、「ドリップ」レートがATMネットワークの所望の速度を48バイト（すなわちATMセルのサイズ）で割った商と等しくなるように信号線321の活性化と不活性化を構成することによって得られる。信号線321の活性化と不活性化は信号線381によって制御される。たとえば、ATMネットワークの所望の速度が毎秒622メガビット（「MB/s」）の場合、ドリップ・レートは以下になる。

$$(48 \text{ バイト} \times 8 \text{ ビット/バイト}) / (622 \text{ MB/s}) = (384 / 622, 000, 000) \text{ 秒} \approx 617 \text{ ナノ秒}$$

【0034】トークン記憶モジュール325は、タイマ・モジュール320からの所定の数のトークンを格納するキューである。この所定の数（すなわちキュー・サイズ）は、バースト（すなわち連続して）転送することができるATMセルの数を示すために、制御線381に基づいて信号線326を介してロードされる。トークンはタイマ・モジュール320から信号線322を介して入力され、キューを「満たす」。トークン記憶モジュール325に格納されているトークンの1つに関連するATMセルがATMインタフェースから出力されると、トークン・ディクリメント線327がアサートされ、トークン記憶サイズが1だけ減少する。トークン数がキュー・サイズを超える場合、トークンは廃棄され、ATMネットワーク・システムはその意図したドリップ・レートを達成することができない。これは、キュー・サイズを所定数より大きくプログラミングし直すことによって修正することができる。

【0035】図7を参照すると、アドレス生成器330によって行われるデータ伝送が図示されている。アドレス生成器330は、第1のローカル記憶素子331と、第2のローカル記憶素子332と、増分カウンタ333と、減分カウンタ334と、状態機械335とを備える。第1および第2のローカル記憶素子331および332は両方とも所定のメモリ量を備え、両方を合わせて

ホスト・メモリのメモリ・サイズよりかなり小さい。このメモリを使用して、それぞれが所定のビット長のデータグラムを格納する任意の数の項目を有するテーブルをサポートする。わかりやすいように、これらのローカル記憶素子331および332は、(i) チャネル番号を受信する「I」と符号づけしてある少なくとも1つの入力端子と、(ii) 増分カウンタ333または減分カウンタ334からそれぞれ増加したアドレスまたは減少したペイロードのバイト・カウントを受け取る「U」と符号づけしてある更新入力端子と、(iii) 割り振られたホスト・メモリに記憶アドレス、または状態機械335に減少したペイロード・バイト・カウントを送信する（図4参照）「O」と符号づけされた出力端子とを有するブロック要素として表してある。

【0036】具体的には、スケジューラは通信線301を介してチャネル番号を第1と第2の両方のローカル記憶素子331および332の「I」入力に入力する。第1のローカル記憶素子331はそのチャネル番号を索引として使用し、割り振られたホスト・メモリ内に格納されている、ATMセルの形成に必要なデータグラムを得るために使用する記憶アドレスを入手する。同様に、第2のローカル記憶素子332も所定量のメモリである。しかし、このメモリは、現行ATMセルの「ペイロード」を形成するために転送すべき残りのバイト数を維持するために使用される。

【0037】アドレス生成器330は割り振られたホスト・メモリからどのデータ記憶場所を読み取るべきかを示す情報を保持するので、アドレス生成器330は、割り振られたホスト・メモリから必要なデータを読み出すためと、ATMセルの「ペイロード」を適切に構成するために必要なアドレス指定シーケンスを生成しなければならない。このアドレス指定シーケンスは第1のローカル記憶素子331が通信線303でチャネル番号に関連する第1のアドレスを転送することによって実現される。第1のアドレスは、割り振られたホスト・メモリが第1のアドレスに関連するバイト数を供給するために使用する（「供給バイト」）。一方、第2のローカル記憶素子332は、チャネル番号を使用して、転送すべきバイト数から供給バイト数を減少させ、それによって転送すべき残りバイト数を計算する。この数が第2のローカル記憶素子332に格納し戻されるとともに、第1のアドレスが増加されて第1のローカル記憶素子に戻される。

【0038】状態機械335は、制御線337～339を介して伝搬されるREAD、END、およびPAD制御信号を制御する。READ制御信号は、メモリからの読出しが要求されていることを示し、割り振られたホスト・メモリ340が現行記憶アドレスで応答すべきであることを示す。さらに、END制御信号は、ATMセルの「ペイロード」に関連するデータの送信が完了したこ

とを示す。

【0039】PAD制御信号は、ATMセルを正しく満たすためにパディングが必要であることを示す。ペイロード生成器（図4および図8参照）が、データグラムを形成するデータのバイト数を監視することによって実際のパディングを行う。データグラムが40足す48掛ける“k”バイト（ $40 + 48 \times “k”$ バイト、ここで“k”は整数）に等しいサイズの場合、ペイロード生成器はパディング操作を行う必要がない。そうでない場合は、データグラムはパディングを必要とする。

【0040】一般に、パディングが必要なのは最後のATMセルのみである。例外として、ペイロードを挿入した後で、ATMセルの最後の4バイトにCRCを追加するのに十分な残リスペースがATMセル内にない場合、一連のATMセルのうちの最後の2つのATMセルで必要になることがある。その場合、アドレス生成器はCRCの送信のためにもう1つのATMセルを生成し、パディングによって両方のATMセルに必要に応じてデータを割り振りし直す。

【0041】図8を参照すると、ペイロード生成器350は、第3のローカル記憶素子351と、第1および第2のセクタ352および353と、状態機械354と、パッド値記憶素子355（ゼロを含む任意の整数に設定）と、CRC生成器356を備える。割り振られたホスト・メモリがデータ線305を介して第1のセクタ352にデータグラムを入力する。それと同期して、遅延素子（図4参照）が通信線306を介して第3のローカル記憶素子351にチャンネル番号を入力し、アドレス生成器が制御線338および339を介して状態機械354にPAD制御信号とEND制御信号を入力する。

【0042】チャンネル番号は、第3のローカル記憶素子351が信号線357を介して第1のセクタ352にCNTL情報を選択的に出力するための索引として機能する。しかし、PAD制御信号とEND制御信号は、状態機械354が選択線358を適切にアサートおよびデアサートして第1のセクタ352を制御し、データグラムを、必要な場合にはパッド値記憶素子355（たとえばレジスタ）によって正しくパディングして、CNTL情報と共に信号線359を介して出力するために使用する。このデータグラムはCRC生成器356および第2のセクタ353に転送される。

【0043】したがって、CRC生成器356はデータグラムを受信し、CRC番号を生成し、それが信号線360を介して第2のセクタ353に入力される。状態機械354がPAD信号とEND信号の値に基づいて第2のセクタ353の制御線361を適切にアサートすることによって、CRC生成器356がCRCチェックワードを追加するかどうかを決定する。

【0044】その後で、図4に示すように、通信線366で主セクタ365にペイロードが入力されると同時

に、ヘッダ生成器370がチャンネル番号に基づいて通信線367を介してヘッダを挿入する。ペイロード生成器350が、主セクタ365を選択し、物理装置によって供給されたエラー・バイトを引いたATMセルを通信線369を介して出力する。

【0045】本明細書で説明した本発明は、多くの異なる方法で、多くの異なる構成を使用して設計することができる。本発明について様々な実施形態から説明したが、当業者には本発明の精神および範囲から逸脱することなく、他の実施形態も思いつくであろう。したがって、本発明は特許請求の範囲で評価すべきである。

#### 【図面の簡単な説明】

【図1】従来のATMインタフェースのブロック図である。

【図2】SDUデータグラムおよびPDUデータグラムとATMセルのデータ構造を示すブロック図である。

【図3】ATMインタフェースおよび物理装置を含むネットワーク・モジュールを介してネットワークに結合されたワークステーションを含む、ATM通信システムの実施形態を示すブロック図である。

【図4】ATMインタフェースの実施形態を示すブロック図である。

【図5】異なる優先順位を有する複数のスケジューラ要素を含む、図4のATMインタフェースのスケジューラの実施形態を示すブロック図である。

【図6】固定ビット・レート・スケジューラである図5の複数のスケジューラ要素のうちの1つのスケジューラ要素の一実施形態を示すブロック図（A）と可変ビット・レート・スケジューラである図5の複数のスケジューラ要素のうちの1つのスケジューラ要素の他の実施形態を示すブロック図（B）である。

【図7】図4に示すように割り振られたホスト・メモリに結合されたアドレス生成機構の実施形態を示すブロック図である。

【図8】図4のペイロード生成機構の実施形態を示すブロック図である。

#### 【符号の説明】

- 215 ホスト・プロセッサ
- 220 ホスト・メモリ
- 225 入出力装置
- 230 ネットワーク・モジュール
- 250 ネットワーク
- 300 ATMインタフェース
- 310 スケジューラ
- 311 スケジューラ素子
- 313 ラウンドロビン・スケジューリング機構
- 320 タイマ・モジュール
- 325 トークン記憶モジュール
- 330 アドレス生成器
- 331 第1のローカル記憶素子

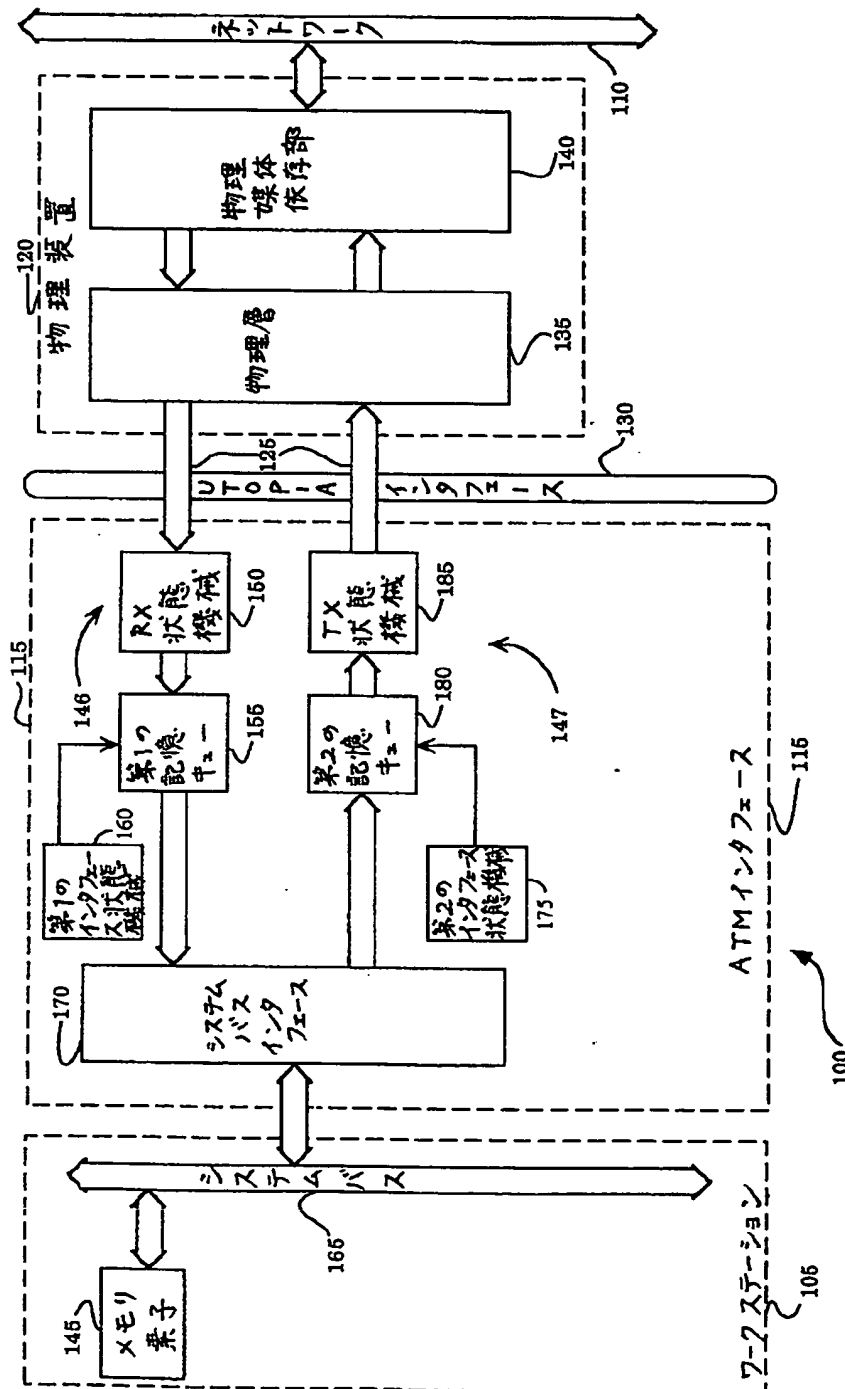
(8)

特開平9-130406

13  
 332 第2のローカル記憶素子  
 333 増分カウンタ  
 334 減分カウンタ  
 335 状態機械  
 340 割り振られたホスト・メモリ  
 345 遅延素子  
 350 ペイロード生成器

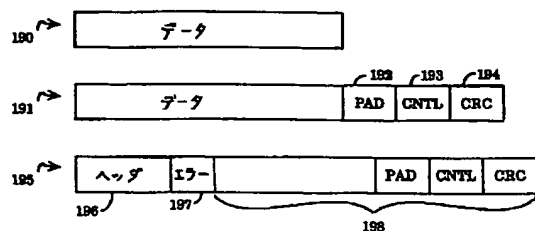
14  
 351 第3のローカル記憶素子  
 354 状態機械  
 355 パッド値記憶素子  
 356 CRC生成器  
 370 ヘッダ生成器  
 400 物理装置

【図1】

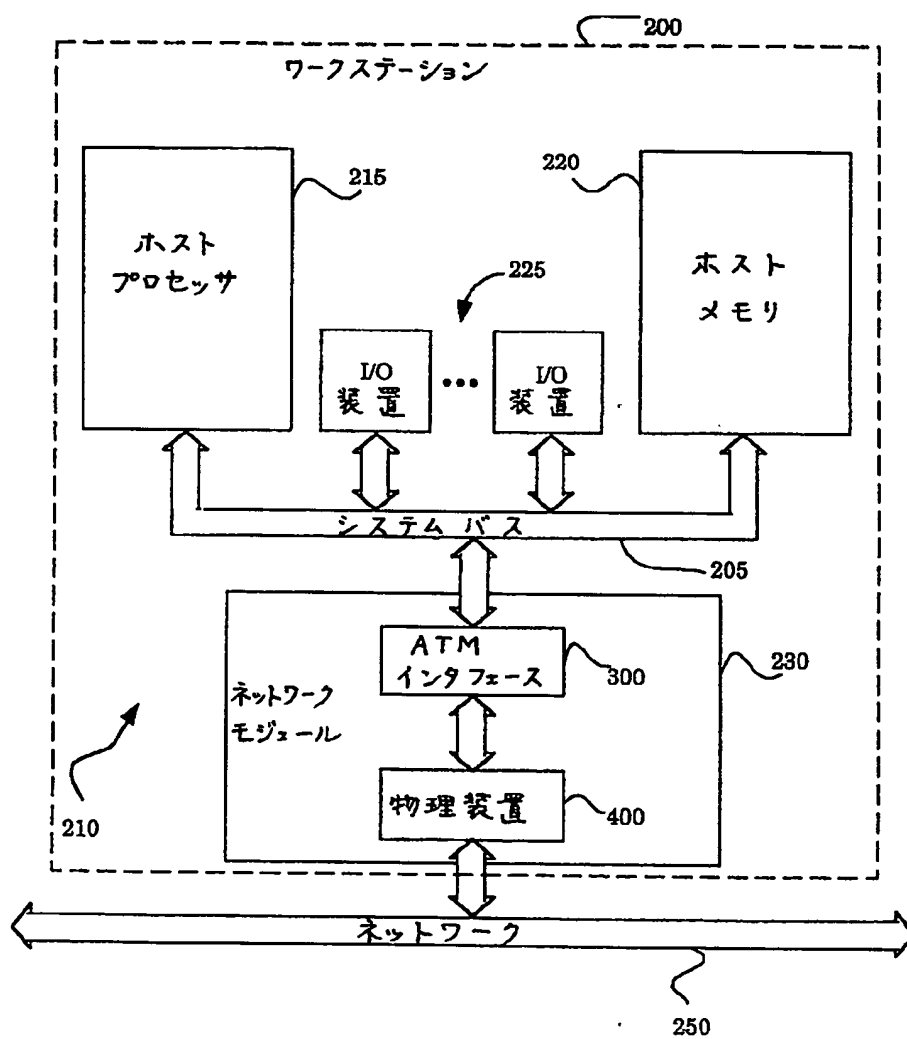




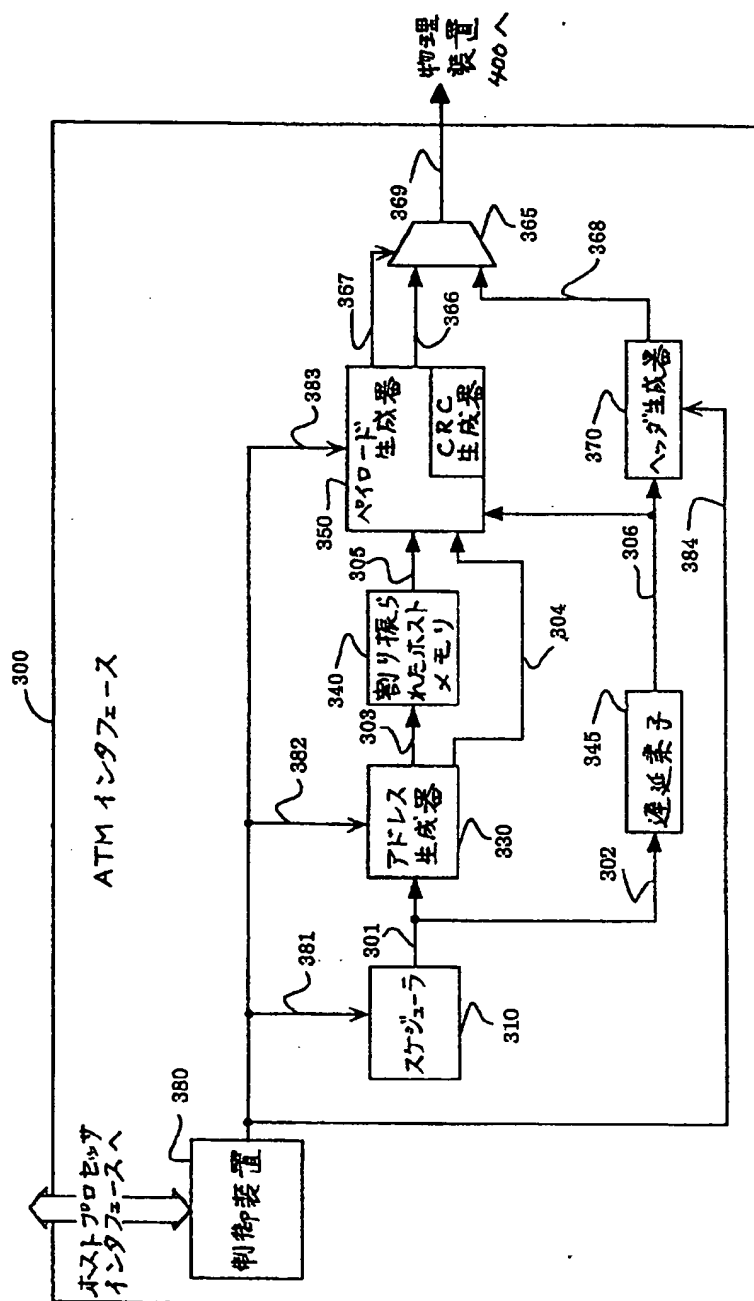
【図2】



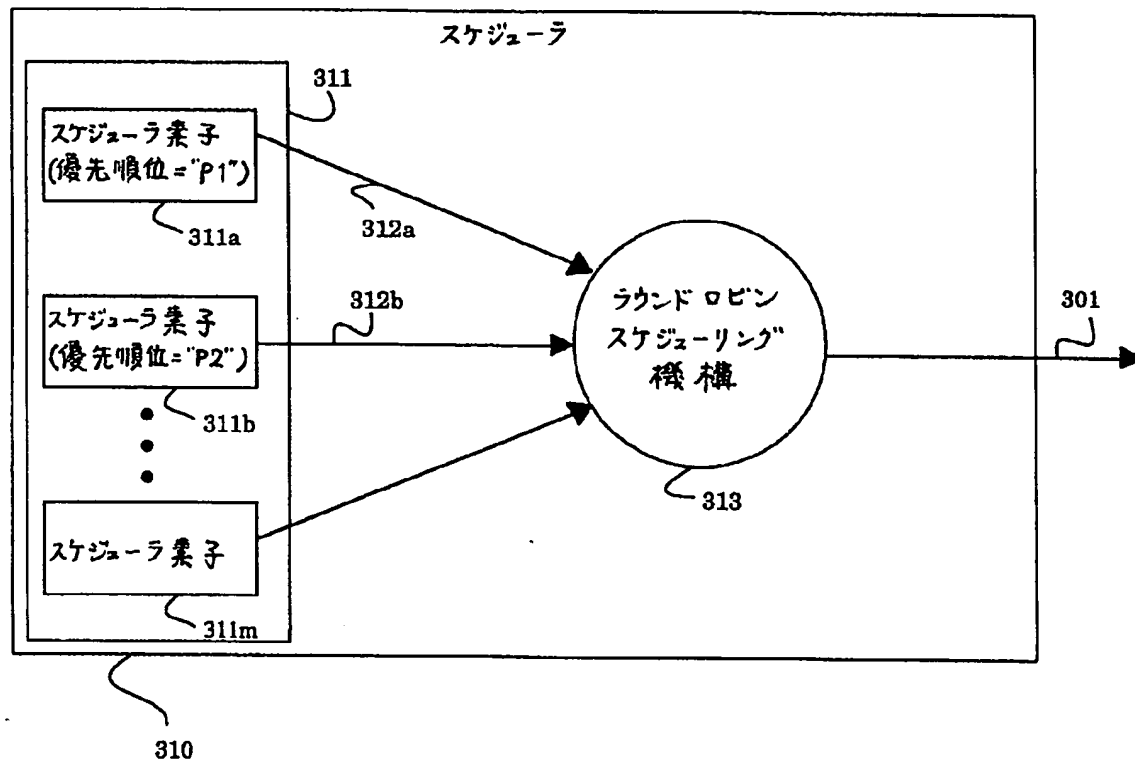
【図3】



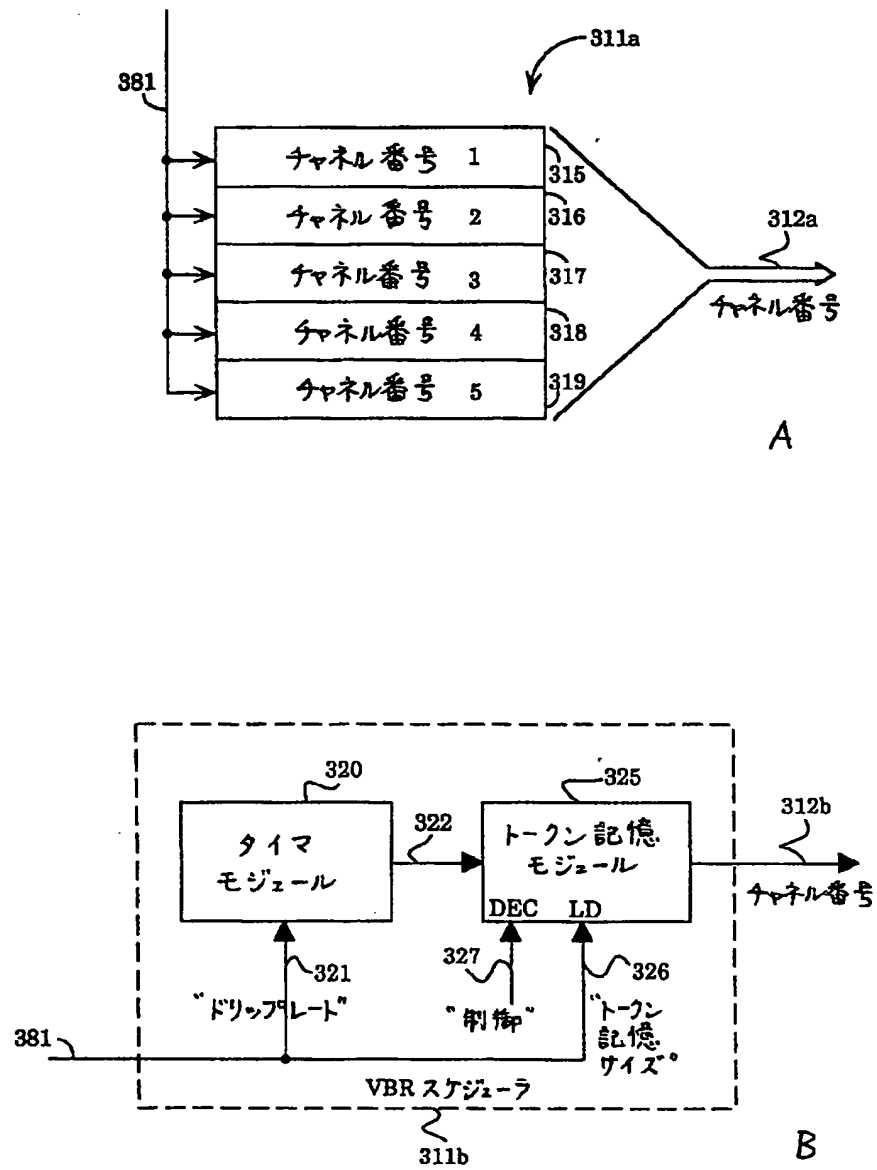
【図4】



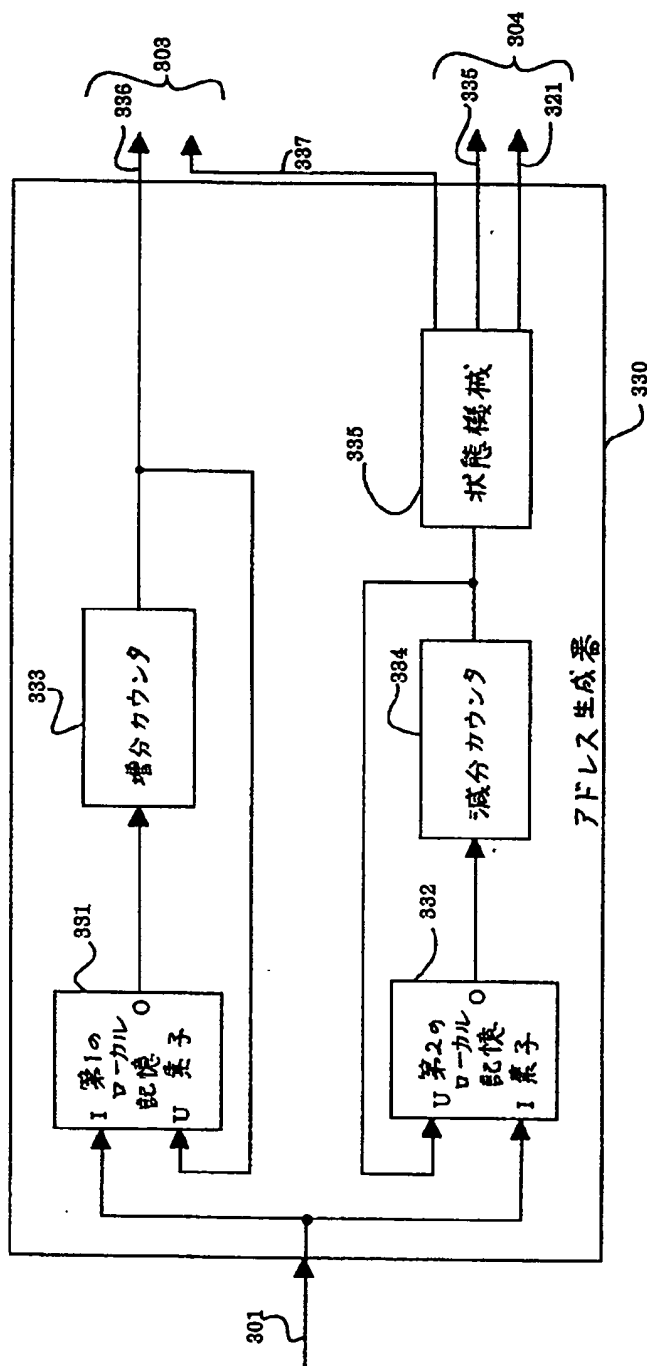
【図5】



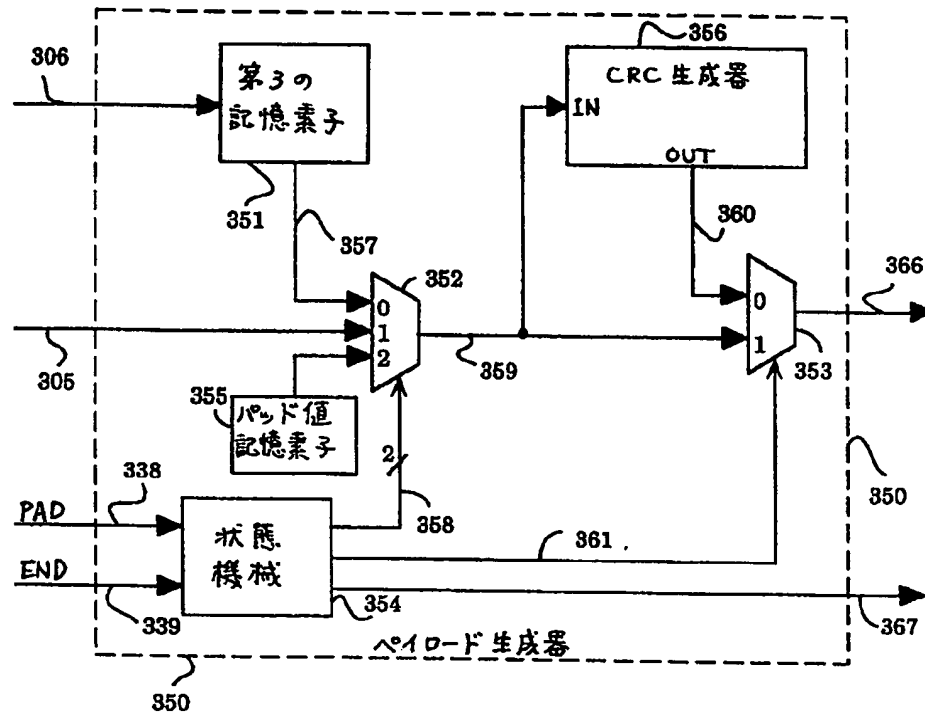
【図6】



【図7】



【図8】



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☒ **BLACK BORDERS**

☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☐ **FADED TEXT OR DRAWING**

☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**